Copyright c 2000 URI, A.K. Uht

ICED Protosys Wiring List

A.K. Uht, 05/27/2000

Wiring table for d-card of ICED Protosys.

Columns 1-9 primarily for d-card's.

d-card-h is plugged into EVC1 (Host) — d-card-s is plugged into sys-card

Connections along rows, among certain columns.
EVC1 pin is connected to A side signal of given IC no.
Matching B side pin on same IC is connected to given Connector pin no.
All signal-opposing pins on the connectors (P{1,2} -1-34) are connected to (signal) ground.

Col. No.	1	2	3	4	5	6	7	8	9
Row No.	EVC1 sig name	EVC1 pin no.	Transceiver ID	Transceive IC no.	Trans. A side sig	Trans B side sig	Connector pin no.	Connector sig name	(SCSI name, if different & non-signal)
1	VDATA0	P4-7	Byte 0	U0	A	B	P1-40	"-DB(0)"	
2	VDATA1	P4-8	Byte 0	U0	A	B	P1-41	"-DB(1)"	
3	VDATA2	P4-9	Byte 0	U0	A	B	P1-42	"-DB(2)"	
4	VDATA3	P4-10	Byte 0	U0	A	B	P1-43	"-DB(3)"	
5	VDATA4	P4-11	Byte 0	U0	A	B	P1-44	"-DB(4)"	
6	VDATA5	P4-12	Byte 0	U0	A	B	P1-45	"-DB(5)"	
7	VDATA6	P4-13	Byte 0	U0	A	B	P1-46	"-DB(6)"	
8	VDATA7	P4-14	Byte 0	U0	A	B	P1-47	"-DB(7)"	
9	VDATA8	P4-15	Byte 1	U1	A	B	P1-65	"-DB(8)"	
10	VDATA9	P4-16	Byte 1	U1	A	B	P1-66	"-DB(9)"	
11	VDATA10	P4-17	Byte 1	U1	A	B	P1-67	"-DB(10)"	
12	VDATA11	P4-18	Byte 1	U1	A	B	P1-68	"-DB(11)"	
13	VDATA12	P4-19	Byte 1	U1	A	B	P1-35	"-DB(12)"	
14	VDATA13	P4-20	Byte 1	U1	A	B	P1-36	"-DB(13)"	
15	VDATA14	P4-21	Byte 1	U1	A	B	P1-37	"-DB(14)"	
16	VDATA15	P4-22	Byte 1	U1	A	B	P1-38	"-DB(15)"	
17									
18									
19	VDATA16	P4-23	Byte 2	U2	A	B	P2-40	"-DB(16)"	
20	VDATA17	P4-24	Byte 2	U2	A	B	P2-41	"-DB(17)"	
21	VDATA18	P4-25	Byte 2	U2	A	B	P2-42	"-DB(18)"	
22	VDATA19	P4-26	Byte 2	U2	A	B	P2-43	"-DB(19)"	
23	VDATA20	P4-27	Byte 2	U2	A	B	P2-44	"-DB(20)"	
24	VDATA21	P4-28	Byte 2	U2	A	B	P2-45	"-DB(21)"	
25	VDATA22	P4-29	Byte 2	U2	A	B	P2-46	"-DB(22)"	
26	VDATA23	P4-30	Byte 2	U2	A	B	P2-47	"-DB(23)"	
27	VDATA24	P4-31	Byte 3	U3	A	B	P2-65	"-DB(24)"	
28	VDATA25	P4-32	Byte 3	U3	A	B	P2-66	"-DB(25)"	
29	VDATA26	P4-33	Byte 3	U3	A	B	P2-67	"-DB(26)"	
30	VDATA27	P4-34	Byte 3	U3	A	B	P2-68	"-DB(27)"	
31	VDATA28	P4-35	Byte 3	U3	A	B	P2-35	"-DB(28)"	
32	VDATA29	P4-36	Byte 3	U3	A	B	P2-36	"-DB(29)"	
33	VDATA30	P4-37	Byte 3	U3	A	B	P2-37	"-DB(30)"	
34	VDATA31	P4-38	Byte 3	U3	A	B	P2-38	"-DB(31)"	
35									
36									
37	RT19	P3-5	Byte 6	U6	A	B	P1-48	"-AB(20)"	
38	RT18	P3-6	Byte 6	U6	A	B	P1-39	"-AB(21)"	
39	RT17	P3-7	Byte 6	U6	A	B	P2-48	"-AB(22)"	
40	RT16	P3-8	Byte 6	U6	A	B	P2-39	"-AB(23)"	
41	RT15	P3-9	Byte 7	U7	CB(0)-DE/-RE	-	-	-	
42	RT14	P3-10	Byte 7	U7	A	B	P1-57	"-CB(0)"	
43	RT13	P3-11	Byte 7	U7	CB(1)-DE/-RE	-	-	-	
44	RT12	P3-12	Byte 7	U7	A	B	P1-58	"-CB(1)"	
45	RT11	P3-13	Byte 7	U7	CB(2)-DE/-RE	-	-	-	
46	RT10	P3-14	Byte 7	U7	A	B	P1-59	"-CB(2)"	
47	RT9	P3-15	Byte 7	U7	CB(3)-DE/-RE	-	-	-	
48	RT8	P3-16	Byte 7	U7	A	B	P1-60	"-CB(3)"	
49	RT7	P3-17	Byte 7	U7	CB(4)-DE/-RE	-	-	-	
50	RT6	P3-18	Byte 7	U7	A	B	P1-61	"-CB(4)"	
51	RT5	P3-19	Byte 7	U7	CB(5)-DE/-RE	-	-	-	
52	RT4	P3-20	Byte 7	U7	A	B	P1-62	"-CB(5)"	
53	RT3	P3-21	Byte 7	U7	CB(6)-DE/-RE	-	-	-	
54	RT2	P3-22	Byte 7	U7	A	B	P1-63	"-CB(6)"	
55	RT1	P3-23	Byte 7	U7	CB(7)-DE/-RE	-	-	-	
56	RT0	P3-24	Byte 7	U7	A	B	P1-64	"-CB(7)"	
57									
58									
59									
60									

Augmented wiring table for sys-card (motherboard) of ICED Protosys

Columns 10-23 for sys-card.

ICED-bus and control wiring
Active-high DB, AB, CB of Col. 8; & CE, DE/-RE of Col.5

From pin A of sys-card's d-card-s; use col. 2 pin numbers

Col. No.	10	11	12	13	14	15	16	17	18	19	20	21	22	23	Col. No.
	DIP-to-protoboard			Mux'd DB/AB-CB				**SIMM (P91) wiring**		**LCD (U61) Wiring (with partial AB)**					
Row No.		Logic An.		Logic An.	U21-U28	DIP	SIMM	name	Logic An.	DIP	LCD	name	DIP		Row No.
1	P11-1	P31-19		P41{A,B}-19	fill	P21-1	P91-2	DQ0	none	P81-1	-	AB(23)	P14-8		1
2	P11-2	P31-18		P41{A,B}-18		P21-2	P91-4	DQ1		P81-2	-	AB(22)	P14-7		2
3	P11-3	P31-17		P41{A,B}-17		P21-3	P91-6	DQ2		P81-3	-	AB(21)	P14-6		3
4	P11-4	P31-16		P41{A,B}-16		P21-4	P91-8	DQ3		P81-4	U61-4	RS			4
5	P11-5	P31-15		P41{A,B}-15		P21-5	P91-20	DQ4		P81-5	U61-5	R/W			5
6	P11-6	P31-14		P41{A,B}-14		P21-6	P91-22	DQ5		P81-6	U61-6	E			6
7	P11-7	P31-13		P41{A,B}-13		P21-7	P91-24	DQ6		P81-7	U61-7	DB0			7
8	P11-8	P31-12		P41{A,B}-12		P21-8	P91-26	DQ7		P81-8	U61-8	DB1			8
9	P11-9	P31-11		P41{A,B}-11		P21-9	P91-49	DQ8		P81-9	U61-9	DB2			9
10	P11-10	P31-10		P41{A,B}-10		P21-10	P91-51	DQ9		P81-10	U61-10	DB3			10
11	P11-11	P31-9		P41{A,B}-9		P21-11	P91-53	DQ10		P81-11	U61-11	DB4			11
12	P11-12	P31-8		P41{A,B}-8		P21-12	P91-55	DQ11		P81-12	U61-12	DB5			12
13	P11-13	P31-7		P41{A,B}-7		P21-13	P91-57	DQ12		P81-13	U61-13	DB6			13
14	P11-14	P31-6		P41{A,B}-6		P21-14	P91-61	DQ13		P81-14	U61-14	DB7			14
15	P11-15	P31-5		P41{A,B}-5		P21-15	P91-63	DQ14		P81-15	-	AB(0)	P13-1		15
16	P11-16	P31-4		P41{A,B}-4		P21-16	P91-65	DQ15		P81-16	-	AB(1)	P13-2		16
17	P16-9	P31-3	CLK1	P41{A,B}-3	P25-14										17
18	-	P31-20	GND	P41{A,B}-20	-										18
19	P12-1	P32-19		P42{A,B}-19	fill	P22-1	P91-3	DQ16	none						19
20	P12-2	P32-18		P42{A,B}-18		P22-2	P91-5	DQ17							20
21	P12-3	P32-17		P42{A,B}-17		P22-3	P91-7	DQ18							21
22	P12-4	P32-16		P42{A,B}-16		P22-4	P91-9	DQ19							22
23	P12-5	P32-15		P42{A,B}-15		P22-5	P91-21	DQ20							23
24	P12-6	P32-14		P42{A,B}-14		P22-6	P91-23	DQ21							24
25	P12-7	P32-13		P42{A,B}-13		P22-7	P91-25	DQ22							25
26	P12-8	P32-12		P42{A,B}-12		P22-8	P91-27	DQ23							26
27	P12-9	P32-11		P42{A,B}-11		P22-9	P91-50	DQ24							27
28	P12-10	P32-10		P42{A,B}-10		P22-10	P91-52	DQ25							28
29	P12-11	P32-9		P42{A,B}-9		P22-11	P91-54	DQ26							29
30	P12-12	P32-8		P42{A,B}-8		P22-12	P91-56	DQ27							30
31	P12-13	P32-7		P42{A,B}-7		P22-13	P91-58	DQ28							31
32	P12-14	P32-6		P42{A,B}-6		P22-14	P91-60	DQ29							32
33	P12-15	P32-5		P42{A,B}-5		P22-15	P91-62	DQ30							33
34	P12-16	P32-4		P42{A,B}-4		P22-16	P91-64	DQ31							34
35	P16-9	P32-3	CLK1	P42{A,B}-3	P25-14										35
36		P32-20	GND	P42{A,B}-20	-										36
37	P14-5	P34-15				P24-5	<--address mux inputs (to U71-U73)					**Network Interface wiring**			37
38	P14-6	P34-14				P24-6			none						38
39	P14-7	P34-13				P24-7									39
40	P14-8	P34-12				P24-8				DIP	SNI	name	long name	Logic An.	40
41	P15-16	P35-11	-	DIP-to-protoboard		P25-1	P91-44	-RAS0	P55-19	P71-1	U53-1	COL	collision detect	P61-19	41
42	P15-1	P35-19	P34-11	P14-9	EC	P25-2	P91-45	-RAS1	P55-18	P71-2	U53-2	RXD	receive data	P61-18	42
43	P15-15	P35-10	-			P25-3	P91-34	-RAS2	P55-17	P71-3	U53-3	CRS	carrier sense	P61-17	43
44	P15-2	P35-18	P34-10	P14-10	EC	P25-4	P91-33	-RAS3	P55-16	P71-4	U53-4	RXC	receive clock	P61-16	44
45	P15-14	P35-9	-			P25-5	P91-40	-CAS0	P55-15	P71-5	U53-7	LBK	loopback	P61-15	45
46	P15-3	P35-17	P34-9	P14-11	EC	P25-6	P91-43	-CAS1	P55-14	P71-6	U53-12	TXE	transmit enable	P61-14	46
47	P15-13	P35-8	-			P25-7	P91-41	-CAS2	P55-13	P71-7	U53-11	TXC	transmit clock	P61-13	47
48	P15-4	P35-16	P34-8	P14-12	EC	P25-8	P91-42	-CAS3	P55-12	P71-8	U53-10	TXD	transmit data	P61-12	48
49	P15-12	P35-7	-			P25-9	P91-47	-WE	P55-11	P71-9				P61-11	49
50	P15-5	P35-15	P34-7	P14-13	EC	P25-10	U{01-03}-1	ASEL	P55-10	P71-10				P61-10	50
51	P15-11	P35-6	-			P25-11	U{11-14}-1	-MDOE	P55-9	P71-11				P61-9	51
52	P15-6	P35-14	P34-6	P14-14	EC	P25-12	U{11-14}-11	MDCLK	P55-8	P71-12				P61-8	52
53	P15-10	P35-5	-			P25-13	U{21-28}-1	DACSEL	P55-7	P71-13				P61-7	53
54	P15-7	P35-13	P34-5	P14-15	EC	P25-14		P4xx-CLK1	P55-6	P71-14				P61-6	54
55	P15-9	P35-4	-			P25-15		P5x-CLK1	P55-5	P71-15				P61-5	55
56	P15-8	P35-12	P34-4	P14-16	EC	P25-16			P55-4	P71-16		CLK1		P61-4	56
57	P16-9	P35-3	CLK1				CLK1	P25-15	P55-3	P71-16		CLK1		P61-3	57
58	-	P35-20	GND				GND	-	P55-20			GND		P61-20	58
59						+5	P91-{10,30,59}	P91-Vcc							59
60						GND	P91-{1,39,72}	P91-Vss							60

Col. No.	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	Col. No.
61																								61
62	LT15	P4-44	Byte 6	U6	A	B	P1-49	"-AB(19)"		P14-4	P34-16				P24-4	<--address mux inputs (to U71-U73)					**EVC1 Relocated LEDs**			62
63										P16-9	P36-4	P3x-CLK1												63
64	LT14	P4-45	Byte 7	U7	CBYTE-CE	-	-	-		P16-8	P36-12				AB (0/1)	Mux'd address lines for SIMM			EVC1	P3 conn.	P1/P2	sys-card conn.	EVC1	64
65	LT13	P4-46	Byte 6	U6	ABYTE2-DE/-RE	-	-	-		P16-10	P36-5				2/3	P91-12	A0	P53-19	name		conn.		resistor	65
66	LT12	P4-47	Byte 6	U6	ABYTE2-CE	-	-	-		P16-7	P36-13				4/5	P91-13	A1	P53-18	Done-a	P3-54	P1-54	L01-1-a	R24	66
67	LT11	P4-48	Byte 5	U5	ABYTE1-DE/-RE	-	-	-		P16-11	P36-6				6/7	P91-14	A2	P53-17	Done-k	P3-53	P1-50	L01-1-k	R24	67
68	LT10	P4-49	Byte 5	U5	ABYTE1-CE	-	-	-		P16-6	P36-14				8/9	P91-15	A3	P53-16	InitError-a	P3-52	P1-20	L01-2-a	R25	68
69	LT9	P4-50	Byte 4	U4	ABYTE0-DE/-RE	-	-	-		P16-12	P36-7				10/11	P91-16	A4	P53-15	InitError-k	P3-51	P1-16	L01-2-k	R25	69
70	LT8	P4-51	Byte 4	U4	ABYTE0-CE	-	-	-		P16-5	P36-15				12/13	P91-17	A5	P53-14	UserLED-a	P3-58	P2-54	L02-1-a	R26	70
71	LT7	P4-52	Byte 3	U3	DBYTE3-DE/-RE	-	-	-		P16-13	P36-8				14/15	P91-18	A6	P53-13	UserLED-k	P3-57	P2-50	L02-1-k	R26	71
72	LT6	P4-53	Byte 3	U3	DBYTE3-CE	-	-	-		P16-4	P36-16				16/17	P91-28	A7	P53-12	DataLdg-a	P3-56	P2-20	L02-2-a	R27	72
73	LT5	P4-54	Byte 2	U2	DBYTE2-DE/-RE	-	-	-		P16-14	P36-9				18/19	P91-31	A8	P53-11	DataLdg-k	P3-55	P2-15	L02-2-k	R27	73
74	LT4	P4-55	Byte 2	U2	DBYTE2-CE	-	-	-		P16-3	P36-17				20/21	P91-32	A9	P53-10						74
75	LT3	P4-56	Byte 1	U1	DBYTE1-DE/-RE	-	-	-		P16-15	P36-10				22/23	P91-19	A10	P53-9	a - anode	k - cathode				75
76	LT2	P4-57	Byte 1	U1	DBYTE1-CE	-	-	-		P16-2	P36-18					^-- (from U71-U73)								76
77	LT1	P4-58	Byte 0	U0	DBYTE0-DE/-RE	-	-	-		P16-16	P36-11													77
78	LT0	P4-59	Byte 0	U0	DBYTE0-CE	-	-	-		P16-1	P36-19													78
79										P16-9	P36-3	CLK1												79
80										-	P36-20	GND												80
81																								81
82	RB17	P3-27	Byte 6	U6	A	B	P1-51	"-AB(16)"	Term	P14-1	P34-19				P24-1	<--address mux inputs (to U71-U73)								82
83	RB16	P3-28	Byte 6	U6	A	B	P1-52	"-AB(17)"	Term	P14-2	P34-18				P24-2									83
84	RB15	P3-29	Byte 4	U4	A	B	P2-55	"-AB(0)"		P13-1	P33-19				*P23-1*									84
85	RB14	P3-30	Byte 4	U4	A	B	P2-57	"-AB(1)"		P13-2	P33-18				*P23-2*									85
86	RB13	P3-31	Byte 4	U4	A	B	P2-58	"-AB(2)"		P13-3	P33-17				P23-3	<--address mux inputs (to U71-U73)								86
87	RB12	P3-32	Byte 4	U4	A	B	P2-59	"-AB(3)"		P13-4	P33-16				P23-4	(except for P23-1 & P23-2)								87
88	RB11	P3-33	Byte 4	U4	A	B	P2-60	"-AB(4)"		P13-5	P33-15				P23-5									88
89	RB10	P3-34	Byte 4	U4	A	B	P2-61	"-AB(5)"		P13-6	P33-14				P23-6									89
90	RB9	P3-35	Byte 4	U4	A	B	P2-62	"-AB(6)"		P13-7	P33-13				P23-7									90
91	RB8	P3-36	Byte 4	U4	A	B	P2-63	"-AB(7)"		P13-8	P33-12				P23-8									91
92	RB7	P3-37	Byte 5	U5	A	B	P2-64	"-AB(8)"		P13-9	P33-11				P23-9									92
93	RB6	P3-38	Byte 5	U5	A	B	P2-49	"-AB(9)"	GND	P13-10	P33-10				P23-10									93
94	RB5	P3-39	Byte 5	U5	A	B	P1-53	"-AB(10)"	GND	P13-11	P33-9				P23-11	<--address mux inputs (to U71-U73)								94
95	RB4	P3-40	Byte 5	U5	A	B	P2-51	"-AB(11)"	Term	P13-12	P33-8				P23-12									95
96	RB3	P3-41	Byte 5	U5	A	B	P2-52	"-AB(12)"	Term	P13-13	P33-7				P23-13									96
97	RB2	P3-42	Byte 5	U5	A	B	P2-53	"-AB(13)"	Res	P13-14	P33-6				P23-14									97
98	RB1	P3-43	Byte 5	U5	A	B	P1-56	"-AB(14)"	GND	P13-15	P33-5				P23-15									98
99	RB0	P3-44	Byte 5	U5	A	B	P2-56	"-AB(15)"	GND	P13-16	P33-4				P23-16									99
100										P16-9	P33-3	CLK1			P25-15		CLK1	P53-3						100
101										-	P33-20	GND			-		GND	P53-20						101
102																								102
103	RM0	P3-47	Byte 6	U6	A	B	P1-55	"-AB(18)"		P14-3	P34-17				P24-3	<--address mux inputs (to U71-U73)								103
104										P16-9	P34-3	CLK1												104
105										-	P34-20	GND												105